
Indice

Prefazione del Prof. Filippo Sorbello	VII
Prefazione del Prof. Mauro Olivieri	IX
Prefazione degli autori	XI
Materiale digitale di supporto al libro	XV
Indice	XVII
1 Algebra booleana e reti combinatorie	1
1.1 Grandezze analogiche e logiche	1
1.2 Variabili booleane	4
1.3 Funzioni booleane	5
1.4 Tabelle di verità.....	5
1.5 Definizione dell'algebra booleana.....	6
1.6 Proprietà fondamentali dell'algebra booleana.....	7
1.7 Altre operazioni	10
1.8 Insiemi di operazioni funzionalmente completi.....	12
1.9 Teorema di espansione di Shannon	15
1.10 Livello di un'espressione booleana	18
1.11 Letterali.....	18
1.12 Prodotti fondamentali.....	18
1.13 Somme fondamentali	19
1.14 Implicanti	19
1.15 Implicanti primi.....	19
1.16 Reti combinatorie	20
1.16.1 Esempio: analisi di rete logica.....	20
1.16.2 Esempio: analisi di rete logica a due livelli	20
1.16.3 Esempio: schema circuitale di una rete logica (1)	21
1.16.4 Esempio: schema circuitale di una rete logica (2)	21

1.16.5	Esempio: definizione del comportamento di una rete logica	22
1.16.6	Esempio: schema circuitale da tabella di verità	23
1.16.7	Esempio: controllo di un impianto di riscaldamento	23
1.16.8	Esempio: selettore (multiplexer) a due canali	25
1.17	Esercizi	28
1.18	Soluzioni	30
2	Progetto di reti combinatorie	33
2.1	Mappe di Karnaugh	33
2.2	Sintesi AND-OR con uso delle mappe	36
2.2.1	Implicanti e implicanti primi nelle mappe	38
2.2.2	Minimizzazione con l'uso delle mappe	40
2.2.3	Mappe "a scacchiera"	41
2.2.4	Esempi di sintesi AND-OR	41
2.3	Sintesi OR-AND	43
2.3.1	Sintesi della funzione negata	44
2.4	Sintesi NAND-NAND	45
2.5	Sintesi NOR-NOR	46
2.6	Reti combinatorie standard	46
2.6.1	Decodificatore (Decoder)	46
2.6.2	Selettore (multiplexer)	50
2.6.3	Deselettore (demultiplexer)	52
2.6.4	Decodificatore per display a sette segmenti	54
2.6.5	Decodificatore BCD - 7 segmenti (con l'impiego delle indifferenze)	56
2.6.6	Uso di selettori per la sintesi di reti combinatorie	57
2.7	Mappe con variabili riportate	59
2.7.1	Sintesi di una mappa con variabili riportate	59
2.7.2	Le variabili riportate e i teoremi di espansione	62
2.8	Comportamento nel tempo dei circuiti logici	63
2.8.1	Tempi Caratteristici	63
2.8.2	Alee	65
2.8.3	Eliminazione delle alee statiche	67
2.8.4	Note sulla eliminazione delle alee	69
2.9	Esercizi	70
2.9.1	Mappe	70
2.9.2	Alee	72
2.10	Soluzioni	73
2.10.1	Mappe	73
2.10.2	Alee	76

3	Aritmetica binaria	79
3.1	Informazione binaria	79
3.2	Numerazione binaria (BIN)	80
3.2.1	Conversione da numerazione binaria a decimale	80
3.2.2	Conversione da numerazione decimale a binaria	81
3.2.3	Massimo numero rappresentabile	82
3.3	Numerazione ottale (OCT)	82
3.4	Numerazione esadecimale (HEX)	83
3.5	Generalità sui codici binari	85
3.6	Aritmetica binaria	86
3.6.1	Somma	86
3.6.2	Sottrazione	88
3.6.3	Prodotto	89
3.7	Aritmetica BCD 8421	89
3.8	Numeri razionali in binario	90
3.9	Reti aritmetiche	91
3.9.1	Semi-sommatore (half adder)	91
3.9.2	Sommatore (full adder)	91
3.9.3	Sommatore con riporto in cascata	93
3.9.4	Unità aritmetico-logica (ALU, Arithmetic Logic Unit) ..	93
3.10	Numeri relativi in binario	95
3.10.1	Rappresentazione in codice “modulo e segno”	95
3.10.2	Complementazione	96
3.10.3	Rappresentazione in codice “complemento a uno”	99
3.10.4	Rappresentazione in codice “complemento a due”	100
3.10.5	Estensione del segno	101
3.11	Rappresentazione di numeri reali	102
3.12	Codici alfanumerici	103
3.13	Codici a rivelazione di errore: generatore e rivelatore di parità ..	105
3.14	Esercizi	108
3.14.1	Numerazione Binaria	108
3.14.2	Numeri binari con segno	108
3.14.3	Numerazione Ottale e Esadecimale	109
3.15	Soluzioni	110
3.15.1	Numerazione Binaria	110
3.15.2	Numeri binari con segno	111
3.15.3	Numerazione Ottale e Esadecimale	112
4	Complementi sul progetto di reti combinatorie	115
4.1	Minimizzazione di espressioni booleane con il metodo di Quine-McCluskey	115
4.1.1	Fase di espansione	116
4.1.2	Fase di copertura	119
4.1.3	Funzioni non completamente specificate	120
4.1.4	Ottimizzazione della fase di copertura	121

4.1.5	Ottimizzazione contemporanea di più funzioni	126
4.2	Esercizi	131
4.2.1	Quine-McCluskey: sintesi di singola funzione	131
4.2.2	Quine-McCluskey: sintesi congiunta di più funzioni	134
4.3	Soluzioni	137
4.3.1	Quine-McCluskey: sintesi di singola funzione	137
4.3.2	Quine-McCluskey: sintesi congiunta di più funzioni	139
5	Introduzione alle reti sequenziali	141
5.1	Dalle reti combinatorie alle reti sequenziali	141
5.1.1	Esempio introduttivo	142
5.1.2	Memorizzare un bit di informazione: il flip-flop	143
5.1.3	Tipi logici e tipi di comando dei flip-flop	145
5.2	Flip-flop a comando diretto	145
5.2.1	Flip-flop SR (a comando diretto)	146
5.2.2	Flip-flop D (a comando diretto)	150
5.2.3	Flip-flop JK (a comando diretto)	150
5.3	Inizializzazione di una rete sequenziale	152
5.3.1	Ingressi di inizializzazione dei flip-flop	153
5.3.2	Generazione del segnale di inizializzazione	155
5.4	Flip-flop a comando abilitato a livello	156
5.4.1	Flip-flop SR con abilitazione a livello (SR-Latch)	156
5.4.2	Flip-flop D con abilitazione a livello (<i>D-Latch</i>)	158
5.4.3	Flip-flop JK con abilitazione a livello (JK-Latch)	159
5.5	Sincronizzazione delle reti sequenziali	160
5.5.1	Il segnale di sincronizzazione	160
5.5.2	Comando impulsivo dei flip-flop abilitati a livello	161
5.5.3	Il “Clock” e il “comando abilitato sul fronte”	163
5.5.4	La struttura “master-slave”	164
5.6	Flip-flop a comando abilitato sul fronte	166
5.6.1	Flip-flop D-PET	166
5.6.2	Flip-flop E-PET	170
5.6.3	Flip-flop JK-PET	172
5.6.4	Flip-flop T-PET	174
5.6.5	Inizializzazione sincrona dei flip-flop	174
5.7	Tempi caratteristici dei flip-flop	175
5.7.1	Relazione tra i tempi di propagazione e di mantenimento	176
5.7.2	Massima frequenza del clock di una rete con flip-flop	176
5.8	Flip-flop: simboli grafici e tabelle	178
5.8.1	Tipi logici	178
5.8.2	Tipi di comando	179
5.8.3	Tabelle di eccitazione	181
5.9	Esercizi	183
5.10	Soluzioni	186

6	Reti sincrone di flip-flop	189
6.1	Segnali sincroni e asincroni	191
6.1.1	Sincronizzatore	192
6.1.2	Sincronizzatore a più stadi	193
6.2	Registri	194
6.2.1	Registro parallelo	194
6.2.2	Registro a scorrimento	196
6.2.3	Registro a scorrimento con caricamento parallelo	199
6.2.4	Registro a scorrimento universale	202
6.3	Contatori	205
6.3.1	Contatore binario	205
6.3.2	Contatore con abilitazione	211
6.3.3	Contatore bidirezionale	213
6.3.4	Contatori “universali”	216
6.3.5	Contatori asincroni	219
6.4	Analisi di reti	221
6.4.1	Esempio n. 1	221
6.4.2	Esempio n. 2	224
6.4.3	Esempio n. 3	226
6.4.4	Esempio n. 4	228
6.4.5	Esempio n. 5	230
6.5	Esercizi	234
6.6	Soluzioni	254
7	Reti sequenziali come Macchine a Stati Finiti	265
7.1	Modello generale di Macchina a Stati Finiti	266
7.1.1	Macchine Sincrone e Asincrone	266
7.1.2	Macchine di Moore e di Mealy	267
7.1.3	Esempio di Macchina a Stati Finiti Sincrona	268
7.1.4	Equazioni generali dello stato successivo e delle uscite ..	269
7.2	Diagrammi ASM	271
7.2.1	Descrizione degli stati	271
7.2.2	Ingressi	275
7.2.3	Uscite condizionate	284
7.3	Esempi di costruzione di diagrammi ASM	288
7.3.1	Esempi introduttivi	288
7.3.2	Generatore di impulsi a rapporto pieno/vuoto regolabile	298
7.3.3	Riconoscitore di sequenza	303
7.3.4	Trasmettitore Seriale Sincrono (2 bit)	305
7.3.5	Ricevitore di comando in formato seriale sincrono	307
7.3.6	Ricevitore Seriale Sincrono (2 bit)	310
7.3.7	Gestione di pulsanti	313
7.3.8	Registro a Scorrimento (3 bit)	316
7.3.9	Rete sequenziale con uscita condizionata	319
7.3.10	Registro a scorrimento con albero di EXOR	321

7.4	Sintesi della MSF sincrona	323
7.4.1	Assegnazione degli stati	324
7.4.2	Descrizione della MSF mediante tabella degli stati	325
7.4.3	Sintesi dalla tabella degli stati	327
7.4.4	Esempi di sintesi di MSF sincrone	330
7.5	Comportamento nel tempo della MSF sincrona	344
7.6	Esercizi	350
7.6.1	Analisi di reti sequenziali in termini di MSF	350
7.6.2	Progetto di MSF a partire da specifiche testuali	353
7.7	Soluzioni	358
7.7.1	Analisi di reti sequenziali in termini di MSF	358
7.7.2	Progetto di MSF a partire da specifiche testuali	362
8	La Macchina a Stati Finiti come controllore di sistema	371
8.1	I sistemi digitali	371
8.2	Sistemi a controllo aperto	372
8.2.1	Ricevitore seriale (2 bit)	373
8.3	Sistemi a controllo retroazionato	377
8.3.1	Ricevitore e trasmettitore seriale (2 bit)	377
8.3.2	Generatore di impulso	380
8.3.3	Ricevitore seriale (8 bit)	385
8.3.4	Regolatore di Luminosità per Lampada	392
8.3.5	Serratura a combinazione	396
8.3.6	Distributore automatico di bevande	401
8.3.7	Progetto di generatore di onda quadra programmabile ..	405
8.3.8	Progetto di sistema per luminarie natalizie	409
8.4	Esercizi	415
8.4.1	Progetto di controllore, con datapath assegnato	415
8.4.2	Progetto di sistema completo (controllore e datapath) ..	434
8.5	Suggerimenti	437
8.5.1	Progetto di sistema completo (controllore e datapath) ..	437
8.6	Soluzioni	444
8.6.1	Progetto di controllore, con datapath assegnato	444
8.6.2	Progetto di sistema completo (controllore e datapath) ..	462



<http://www.springer.com/978-88-470-3962-9>

Introduzione al Progetto di Sistemi Digitali
Donzellini, G.; Oneto, L.; Ponta, D.; Anguita, D.
2018, XXII, 474 pagg., Hardcover
ISBN: 978-88-470-3962-9